

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-237400

(P2001-237400A)

(43) 公開日 平成13年8月31日 (2001. 8. 31)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テマコード (参考) |
|---------------------------|------|---------------|------------|
| H 0 1 L 27/108 | | C 2 3 C 14/06 | N |
| 21/8242 | | 14/14 | D |
| C 2 3 C 14/06 | | 16/18 | |
| 14/14 | | 16/34 | |
| 16/18 | | 16/40 | |

審査請求 未請求 請求項の数13 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願2000-388212(P2000-388212)

(22) 出願日 平成12年12月21日 (2000. 12. 21)

(31) 優先権主張番号 1 9 9 9 - 6 0 5 5 9

(32) 優先日 平成11年12月22日 (1999. 12. 22)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

株式会社ハイニックスセミコンダクター
大韓民国京畿道利川市夫鉢邑牙美里山136
- 1

(72) 発明者 朴 基 善

大韓民国京畿道利川市夫鉢邑牙美里 現代
アパート108-309

(72) 発明者 金 東 俊

大韓民国京畿道利川市増浦洞シンハン エ
- 104-402

(74) 代理人 100065215

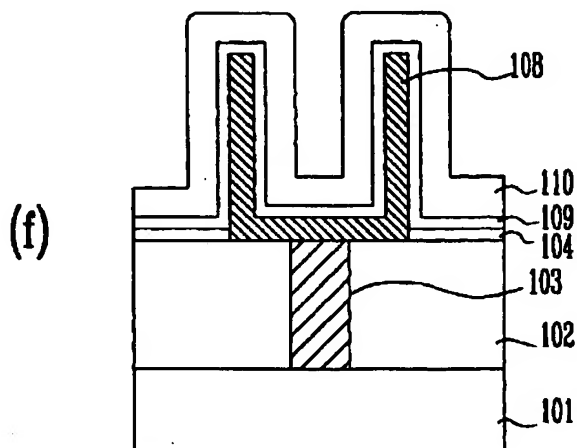
弁理士 三枝 英二 (外8名)

(54) 【発明の名称】 半導体素子のキャパシタ製造方法

(57) 【要約】

【課題】 MIM Ta_2O_5 キャパシタの製造においてキャパシタ酸化膜除去時のエッチング障壁層としてアルミニウムオキサイド Al_2O_3 を用いる方法。

【解決手段】 基板上に層間絶縁膜を形成し、層間絶縁膜の選択部分を除去してコンタクトプラグを形成する段階、全体構造上にエッチング障壁層を形成する段階、エッチング障壁層上にキャパシタ酸化膜を形成し、キャパシタマスクによるエッチング工程でキャパシタ酸化膜を除去してシリンドラ構造を形成する段階、シリンドラ構造を有する全体構造上に下部電極用金属層を形成する段階、全体構造上にギャップ充填膜を形成した後、キャパシタ酸化膜より上部のギャップ充填膜及び下部電極用金属層を研磨し、さらにシリンドラ構造内のギャップ充填膜を除去する段階、露出したキャパシタ酸化膜を除去してシリンドラ形下部電極を形成する段階、全体構造上に誘電体膜及び上部電極を形成する段階を含む製造法。



【特許請求の範囲】

【請求項1】 キャパシタを形成するための下部構造の設けられた基板上に層間絶縁膜を形成し、前記層間絶縁膜の選択部分を除去してコンタクトプラグを形成する段階と、

前記コンタクトプラグの設けられた全体構造上にエッチング障壁層を形成する段階と、

前記エッチング障壁層上にキャパシタ酸化膜を形成し、キャパシタマスクを用いたエッチング工程で前記キャパシタ酸化膜を除去してシリンドラ構造を形成する段階と、前記シリンドラ構造をもつ全体構造上に下部電極用金属層を形成する段階と、

全体構造上にギャップ充填膜を形成した後、前記キャパシタ酸化膜より上部の前記ギャップ充填膜及び前記下部電極用金属層を研磨し、さらにシリンドラ構造内の前記ギャップ充填膜を除去する段階と、

露出した前記キャパシタ酸化膜を除去してシリンドラ形下部電極を形成する段階と、

前記下部電極の設けられた全体構造上に誘電体膜及び上部電極を形成する段階とを含んでなることを特徴とする半導体素子のキャパシタ製造方法。

【請求項2】 前記エッチング障壁層は、ALD法によってアルミニウムオキシドを蒸着するか、CVD法によってタンタルオキシドを蒸着して60乃至240Åの厚さに形成することを特徴とする請求項1記載の半導体素子のキャパシタ製造方法。

【請求項3】 前記アルミニウムオキシド膜は、反応器の温度を250乃至350℃に維持し、第1原料ガス及び第2原料ガスを交互に反応器に注入し、前記第1及び第2原料ガスを注入する間々に不活性気体を注入して形成することを特徴とする請求項2記載の半導体素子のキャパシタ製造方法。

【請求項4】 前記第1及び第2原料ガス、前記不活性気体の注入時間は0.1乃至10秒(sec)とすることを特徴とする請求項3記載の半導体素子のキャパシタ製造方法。

【請求項5】 前記エッチング障壁層形成のための第1原料ガスとしては $\text{Al}(\text{CH}_3)_3$ または $\text{Al}(\text{C}_2\text{H}_5)_3$ を用いることを特徴とする請求項3記載の半導体素子のキャパシタ製造方法。

【請求項6】 前記エッチング障壁層を形成するための第2原料ガスとしては H_2O 、 O_2 、 N_2O 、 CH_3OH 、 $\text{C}_2\text{H}_5\text{OH}$ 、 $\text{C}_3\text{H}_7\text{OH}$ のいずれか一つを用いることを特徴とする請求項3記載の半導体素子のキャパシタ製造方法。

【請求項7】 前記キャパシタ酸化膜はPSGを用いて形成することを特徴とする請求項1記載の半導体素子のキャパシタ製造方法。

【請求項8】 前記下部電極用金属層は、PVD法によってタングステン Ta を100乃至200Åの厚さに蒸着す

る方法と、CVD法によってタングステン Ta を200乃至400Åの厚さに蒸着する方法を交互に行って形成することを特徴とする請求項1記載の半導体素子のキャパシタ製造方法。

【請求項9】 前記下部電極用金属層はタングステン、タングステンシリサイド、タングステンナイトライド、チタニウムシリサイド、チタニウムナイトライド、白金、ルテニウム、イリジウムのいずれか一つを用いて形成することを特徴とする請求項1記載の半導体素子のキャパシタ製造方法。

【請求項10】 前記キャパシタ酸化膜はフッ酸含有溶液を用いて除去することを特徴とする請求項1記載の半導体素子のキャパシタ製造方法。

【請求項11】 前記誘電体膜は100乃至200Åの厚さにタンタルオキシドを蒸着して形成することを特徴とする請求項1記載の半導体素子のキャパシタ製造方法。

【請求項12】 前記上部電極はCVD法またはALD法によってチタニウムナイトライド膜を200乃至500Åの厚さに蒸着して形成することを特徴とする請求項1記載の半導体素子のキャパシタ製造方法。

【請求項13】 前記上部電極はチタニウムナイトライド、白金、ルテニウム、イリジウムのいずれか一つを用いて形成することを特徴とする請求項1記載の半導体素子のキャパシタ製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子のキャパシタ製造方法に係り、特にMIM(Metal-Insulator-Metal)構造のキャパシタを安定的な構造に形成するための半導体素子のキャパシタ製造方法に関する。

【0002】

【従来の技術】半導体素子の高集積化に伴って、素子の安定的な駆動のために必要とされる単位セル当りキャパシタの静電容量は一定である一方、キャパシタ面積は減少するので、狭い面積でも必要な静電容量を確保するためには高誘電絶縁膜の導入が求められる。近年、代表的に研究されている高誘電絶縁膜はタンタルオキシド Ta_2O_5 であり、誘電体膜としてナイトライドオキシド NO を使用する NO キャパシタ構造の如く、下部電極としてポリシリコンを、上部電極として金属、例えば TiN を使用するMIS(Metal-Insulator-Silicon) Ta_2O_5 キャパシタ構造が主に用いられる。 Ta_2O_5 はMOCVD(Metal Organic Chemical Vapor Deposition)によって蒸着するが、この場合、 Ta_2O_5 膜内に多量の不純物が含まれていて、蒸着後酸素雰囲気の高熱処理が必須的である。一方、この際、 Ta_2O_5 誘電体膜と上部及び下部電極物質との間に界面反応が生じて漏れ電流が増加し、下部電極表面のポリシリコンが酸化して誘電体膜の有効酸化膜の厚さ T_{ox} を減少させ難いという問題点が

ある。

【0003】かかる問題点を解決するために、下部電極としてタングステンW、白金Pt、ルテニウムRu、イリジウムIrなどの金属を使用するMIM(Metal-Insulator-Metal) Ta_2O_5 キャパシタ技術が研究されている。このようなMIM(Metal-Insulator-Metal) Ta_2O_5 キャパシタは、従来のMIS Ta_2O_5 キャパシタとは異なり、下部コンタクトホールプラグング工程がキャパシタ形成において最も重要な単位工程中の一つである。下部コンタクトホールプラグング方法には下部コンタクトホールをポリシリコンでプラグングし、コンタクトホール内の一部のポリシリコンをリセス(recess)した後、Ti/TiN障壁金属層(Barrier Metal)を形成する方法や、Ti/TiN障壁金属層の形成後、下部電極物質で下部コンタクトホールを直接プラグングする方法などがある。しかし、従来の方法では後続のキャパシタ酸化膜を除去(Dip out)する過程において層間絶縁膜の損失が激しいため後続の Ta_2O_5 アニール工程で障壁金属層が酸化されてキャパシタの電気的特性が低下してしまう。

【0004】

【発明が解決しようとする課題】従って、本発明の目的はMIM Ta_2O_5 キャパシタ構造においてキャパシタ酸化膜除去時のエッチング障壁層としてアルミニウムオキシド Al_2O_3 を用いることにより、キャパシタの下部層である層間絶縁膜の損失を最小化して、安定的なキャパシタ構造を得ることができる半導体素子のキャパシタ製造方法を提供することにある。

【0005】

【課題を解決するための手段】上記目的を達成するための本発明に係る半導体素子のキャパシタ製造方法は、キャパシタを形成するための下部構造の設けられた基板上に層間絶縁膜を形成し、前記層間絶縁膜の選択部分を除去してコンタクトプラグを形成する段階と、前記コンタクトプラグの設けられた全体構造上にエッチング障壁層を形成する段階と、前記エッチング障壁層上にキャパシタ酸化膜を形成し、キャパシタマスクを用いたエッチング工程で前記キャパシタ酸化膜を除去してシリンドラ構造を形成する段階と、前記シリンドラ構造を有する全体構造上に下部電極用金属層を形成する段階と、全体構造上にギャップ充填(gap-filling)膜を形成した後、前記キャパシタ酸化膜より上部の前記ギャップ充填膜及び前記下部電極用金属層を研磨し、さらにシリンドラ構造内の前記ギャップ充填膜を除去する段階と、露出した前記キャパシタ酸化膜を除去してシリンドラ形下部電極を形成する段階と、前記下部電極の設けられた全体構造上に誘電体膜及び上部電極を形成する段階とを含んでなることを特徴とする。

【0006】本発明はキャパシタのコンタクトプラグ形成後、キャパシタ酸化膜を形成する前に、キャパシタ酸

化膜との大きいエッチング選択比を有するエッチング障壁層 Al_2O_3 を形成する。これにより、後続のキャパシタ酸化膜除去工程の際にキャパシタ下部の層間絶縁膜が損失されることを防止して安定的な構造のキャパシタを製造できるようにする。

【0007】

【発明の実施の形態】以下、添付図に基づいて本発明の実施例を詳細に説明する。

【0008】図1aに示すように、キャパシタを形成するための下部構造の設けられた基板101上に層間絶縁膜102を形成し、層間絶縁膜102の選択された部分を除去してキャパシタコンタクトホールを形成した後、全体構造上に金属層を形成する。その後、キャパシタコンタクトホールの内部にのみ金属層が埋め込まれるように研磨工程を行なうことにより、コンタクトプラグ103を形成する。次に、コンタクトプラグ103の設けられた全体構造上にエッチング障壁層104を形成する。

【0009】ここで、コンタクトプラグ103は、好ましくは代表的な障壁金属層材料のチタニウムTiとチタニウムナイトライドTiNの積層構造で形成する。また、エッチング障壁層104は、好ましくはALD(Atomic Layer Deposition)法又はCVD法によってアルミニウムオキシド(Al_2O_3)又はタンタルオキシド(Ta_2O_5)を蒸着して形成する。ALD法で Al_2O_3 層を形成すると、 Al_2O_3 層の厚さ調節が容易であり、優れたステップカバレッジ特性を得ることができる。また、 Al_2O_3 を用いたエッチング障壁層104は後続工程段階で形成されるキャパシタ酸化膜を除去するとき、ウェットエッチング障壁層として作用して下部層間絶縁膜102の損失を防止できる厚さ分だけ形成するが、好ましくは50~400Åである。例えばキャパシタ酸化膜を6000乃至12000Åの厚さに形成する場合、エッチング障壁層104は60乃至240Åの厚さに形成する。ALD法を用いて Al_2O_3 エッチング障壁層104を形成するときには反応器の温度を250乃至350℃に維持し、トリメチルアルミニウム(Trimethylaluminum) ($\text{Al}(\text{CH}_3)_3$)、トリエチルアルミニウム(Triethyl aluminum) ($\text{Al}(\text{C}_2\text{H}_5)_3$)のいずれか一つの第1原料ガスと H_2O 、 O_2 、 N_2O 、 CH_3OH 、 $\text{C}_2\text{H}_5\text{OH}$ 、 $\text{C}_3\text{H}_7\text{OH}$ のいずれか一つの第2原料ガスを交互に反応器に注入する。また、各原料ガスの残留物が残らないようにするため、原料ガスを交互に注入する間に N_2 、Ar、Heなどの不活性気体を注入する。原料ガスと不活性気体の注入時間は0.1乃至10secとする。エッチング障壁層104は、好ましくはALD法によって蒸着する Al_2O_3 又はCVD法によって蒸着する Ta_2O_5 のいずれか一つを用いて形成する。

【0010】図1bに示すように、全体構造上にキャパシタ酸化膜105を形成し、キャパシタマスクを用いたエッチング工程を行なってシリンドラ構造を形成する。キ

キャパシタ酸化膜105は、好ましくはPSG (8.0wt%)を用いて形成する。

【0011】図1cに示すように、シリンドラ構造を有する全体構造上に下部電極用金属層106を形成する。下部電極用金属層106は、好ましくはPVD法とCVD法を交互に施してタングステン(W)を蒸着して形成する。PVD法でタングステンを蒸着する場合にはタングステン層を、好ましくは100乃至200Åの厚さに形成し、キャパシタ酸化膜105の側面における粘着特性を向上させることができる。また、CVD法でタングステンを蒸着する場合にはタングステン層を、好ましくは200乃至400Åの厚さに形成し、初期成長メカニズムを調節して全体下部電極の厚さ、表面粗さなどを容易に調節することができる。下部電極用金属層106はタングステン(W)の他にも、タングステンシリサイド(WSi_x)、タングステンナイトライド(WN)、チタニウムシリサイド($TiSi_x$)、チタニウムナイトライド(TiN)、白金(Pt)、ルテニウム(Ru)、イリジウム(Ir)のいずれか一つを用いて形成することができる。

【0012】図2dは全体構造上にギャップ充填膜107を形成した後、キャパシタ酸化膜105より上部のギャップ充填膜及び下部電極用金属層106が除去されるように研磨工程を行なった状態を示す。

【0013】ここで、ギャップ充填膜107は、好ましくはフォトレジスト膜またはアンドーフト酸化膜を用いて形成する。

【0014】図2eは、ギャップ充填膜107を除去した後、露出したキャパシタ酸化膜105を除去してシリンドラ形下部電極108を形成した状態を示す。シリンドラ構造内のギャップ充填膜107は、好ましくは、フォトレジスト膜を使用する場合には酸素プラズマを用いる一般的な方法で除去し、アンドーフト酸化膜を使用する場合にはBOE (Buffered Oxide Etchant) のような酸化膜エッチング剤で除去する。

【0015】キャパシタ酸化膜105はフッ酸含有溶液を用いて100%オーバディップアウト(over dip out)することにより除去する。この際、層間絶縁膜102上の Al_2O_3 エッチング障壁層104はキャパシタ酸化膜105とのエッチング選択比が高いため、キャパシタ酸化膜105除去時のエッチング障壁層として作用して層間絶縁膜102の損失を防止することができ、これにより安定的なキャパシタ構造を形成することができる。実際、キャパシタ酸化膜105をPSG (8.0wt%)を用いて形成し、フッ酸含有溶液を用いてエッチングする際、キャパシタ酸化膜105と Al_2O_3 エッチング障

壁層104のエッチング率はそれぞれ20Å/sec、0.5Å/secとなってエッチング選択比が非常に高く表れることを実験によって確認した。

【0016】図3fに示すように、下部電極108の設けられた全体構造上に誘電体膜109を形成し熱処理した後、上部電極110を形成することにより、MIM構造のキャパシタを完成する。ここで、誘電体膜109は Ta_2O_5 を用いて好ましくは100乃至200Åの厚さに形成する。誘電体膜109形成後の熱処理工程は、好ましくは400乃至700℃で10乃至60分間行ない、UV/ O_3 またはプラズマ方法を用いる。上部電極110は、好ましくはチタニウムナイトライド膜TiNを用いたCVD法或いはALD法によって200乃至500Åの厚さに形成する。上部電極110の材料としてチタニウム(Ti)、ナイトライド(TiN)に代えて、白金(Pt)、ルテニウム(Ru)、イリジウム(Ir)のいずれか一つを用いることも可能である。

【0017】

【発明の効果】上述したように、本発明はキャパシタ酸化膜との高いエッチング選択比を有するエッチング障壁層を利用することにより、キャパシタ酸化膜除去工程の際にキャパシタ下部の層間絶縁膜が損失されることを最小化することができるため、安定的な構造のキャパシタを製造することができ、これによりキャパシタの電気的特性をも向上させることができる。

【図面の簡単な説明】

【図1】図1は、(a)～(c)として、本発明に係る半導体素子のキャパシタ製造方法を説明するために順次示した素子の断面図である。

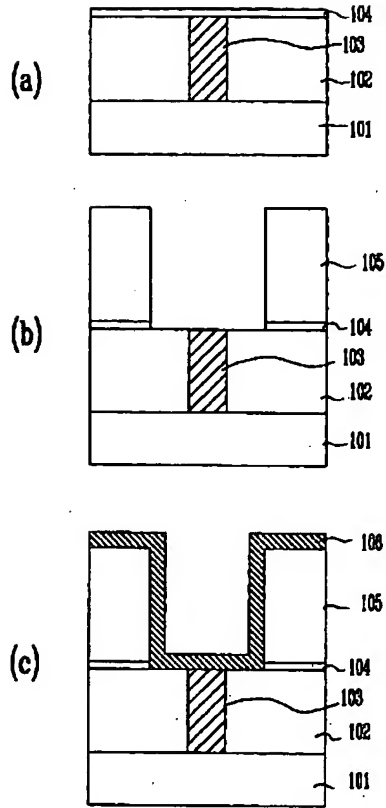
【図2】図2は、(d)～(e)として、本発明に係る半導体素子のキャパシタ製造方法を説明するために順次示した素子の断面図である。

【図3】図3は、(f)として、本発明に係る半導体素子のキャパシタ製造方法を説明するために順次示した素子の断面図である。

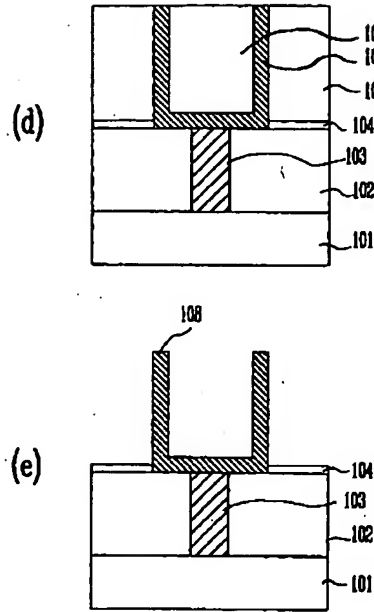
【符号の説明】

- 101 基板
- 102 層間絶縁膜
- 103 コンタクトプラグ
- 104 エッチング障壁層
- 105 キャパシタ酸化膜
- 106 下部電極用金属層
- 107 ギャップ充填膜
- 108 下部電極
- 109 誘電体膜
- 110 上部電極

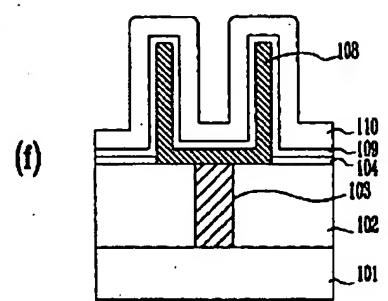
【図1】



【図2】



【図3】



フロントページの続き

(51)Int. Cl.⁷

C 23 C 16/34

16/40

識別記号

F I

H 01 L 27/10

ターマコード (参考)

6 5 1

6 2 1 C

